

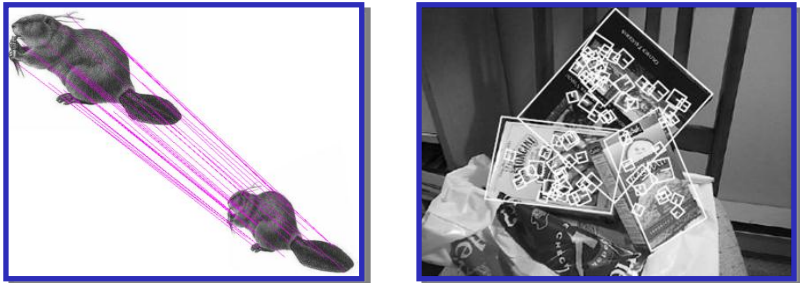
コーナー検出に基づくSIFTの低演算化とその実時間ハードウェア実装

池永研究室 学士課程修了 鈴木 貴大

■ 研究背景

SIFT (Scale Invariant Feature Transform)

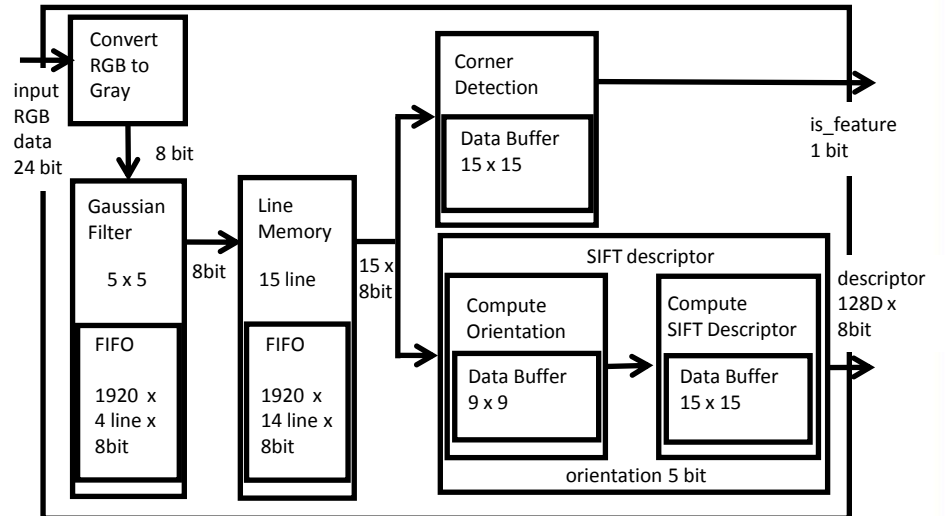
- スケール, 回転, 照明変化に不変な特徴点抽出
- 問題点: アルゴリズムが複雑で, 演算量が大きい.
- 目的: 実時間処理
- 提案: 演算量削減, ハードウェア実装



■ ハードウェア実装

提案手法

- 三角関数, 除算の近似計算
- コーナー検出と特微量記述の並列処理
- 特微量ヒストグラム作成時の並列化
- 特徴点マッチングのパイプライン処理



■ SIFT

DoG処理

- スケールの算出
- 複数回のフィルタ
- 演算量が大きい

極値検出

- 特徴点の決定
- スケールの決定

ローカライズ

- 特徴点を絞る
- 行列計算

サブピクセル推定

- 位置の決定
- 行列計算

特微量の記述

- スケールによって記述領域が増大

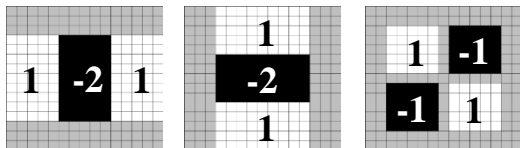
マッチング

- 最近傍探索
- 入力画像と登録画像1対1で対応付け

■ 提案アルゴリズム

コーナー検出

- 積分画像を使ったBoxフィルタによる高速化



$$H = \begin{pmatrix} L_{xx} & L_{xy} \\ L_{xy} & L_{yy} \end{pmatrix} \quad \det(H) - \omega \text{tra}(H)^2 > T$$

T: 閾値

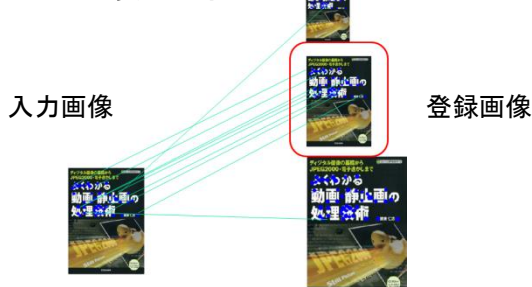
特微量の記述

- 固定領域 15×15
- フレーム毎に特微量を記述する特徴点の数を調節し, 演算量の増加を防止

$$T(t+1) \leftarrow T(t) + \Delta T$$

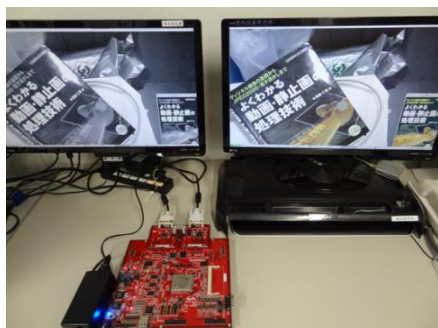
近似最近傍探索によるマッチング

- 登録画像を拡大・縮小し, 3種の画像を用意
- 対応が集中したものとマッチングを行い, スケール変化に対応

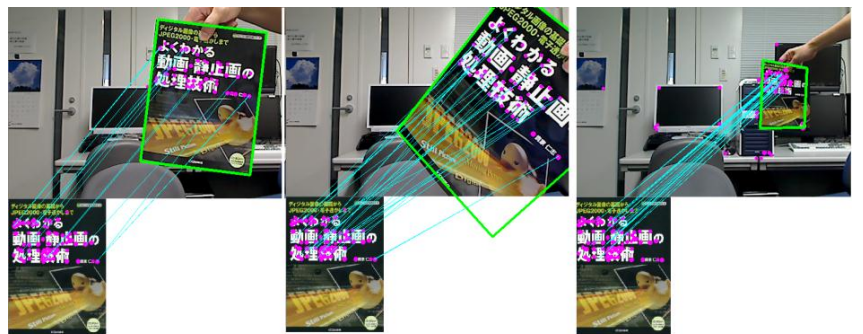


■ FPGA評価環境

- Virtex-5 (XC5VLX330-1FF1760C)
- オプションボード (TB-SUB-DVI)
- FHD (1920×1080)



■ 評価結果



提案アルゴリズム

CPU (Core i5 CPU M 450 2.40GHz) でSIFTと提案アルゴリズムの比較
画像サイズ VGA (640×480)

	SIFT	提案アルゴリズム
実行時間[ms]	1582	92
精度[%]	92	88

ハードウェア実装

FPGAリソースの使用数 (最大周波数: 168.464MHz)

	Register	LUTs	DSP48Es	BRAM
使用数	55,407	108,322	3	65

ソフトウェア評価 (Core i5 CPU M 450 2.4GHz) とハードウェアの比較
画像サイズ FHD (1920×1080)

	ソフトウェア	ハードウェア
フレームレート [fps]	1.0	60.0

■ 結論

- ソフトウェア上で**17倍**高速化
- ハードウェア化により**60倍**高速化

実時間
特徴点マッチング

