2008年	
第10回LSIIPデザイン IP 優秀賞	ン・アワード
1.41W フルハイビジ H264/AVC エンコー	ジョン用 ーダ SoC
早稲田大学大学院 情報生産システム4 池永 剛 宋 楊 李 申 (㈱東芝セミコンダクター社 石渡 俊 上記の半導体設計資産は、 日 デザイン・アワード デ で頭書の賞に選ばれ ここにこれを賞し	<ul> <li>研究科</li> <li>殿 劉 振宇殿</li> <li>殿 邵 明 殿</li> <li>殿 李 凌峰殿</li> <li>後藤 敏 殿</li> <li>一殿 中河 正樹 殿</li> <li>、第 10 回 LSI</li> <li>志成表彰部門</li> <li>ました。</li> <li>ます。</li> </ul>
2008年4月24日 LSIIPデザイン・アワー 委員長 <b>ほ</b> ゆ	ド運営委員会

## LSI IP デザイン・アワード応募書類表紙 (大学)

**タイトル:** 1.41W フルハイビジョン用 H.264/AVC エンコーダ SoC

技術分野: 完成表彰部門 (ハード設計資産)、課題部門 (画像圧縮技術)

**応募者:** 池永 剛<sup>1</sup>、劉 振宇<sup>1</sup>、宋 楊<sup>1</sup>、邵 明<sup>1</sup>、李 申<sup>1,2</sup>、李 凌峰<sup>1</sup>、石渡俊一<sup>2</sup>、中河正樹<sup>2</sup>、後藤 敏<sup>1</sup> **所属機関:** <sup>1</sup> 早稲田大学大学院情報生産システム研究科

2(株) 東芝 セミコンダクター社

#### 1. 研究・開発の目的・狙い

動画像圧縮 LSI は、ユビキタス(いつでも、どこでも)やアンビエント(安全、安心、快適さ)情報化社会においても重要な 役割を担い、幅広いアプリケーションに適用されていくと考えられる。本研究は、最新の動画像圧縮規格である H.264/AVC を 対象としたフルハイビジョン(HDTV1080p)実時間処理エンコーダ SoC の実現を目的としている。多くの演算量を占める動き予測 処理エンジンやコンフィギャラブルプロセッサ、独自の DRAM 技術を駆使することにより、高性能かつ小面積、低電力を実現 している。

#### 2. 研究・開発の概要

(1)利用分野: デジタル家電、TV 会議、監視システム、カーエレクトロニクス

(2) 特徴: 動き予測/イントラモード予測処理エンジン、コンフィギャラブルプロセッサ (MeP: Media Embedded Processor) を用いた短 TAT HW/SW 協調設計、低電力 SiS(System-in-Silicon) DRAM など

(3) 種類: ハードウェア VC

(4) 性能: H.264/AVC encoder (baseline profile、1080P@30fps: 1409mW)、チップ面積(コアサイズ)27.1mm<sup>2</sup> @TSMC 0.18 µ m CMOS 1P6M

#### 3. 請求点および効果

本 H.264 エンコーダ SoC は、3つの専用エンジン:整数画素精度動き予測処理(IME)、少数画素精度動き予測処理(FME)、 イントラモード予測処理(INTRA)、コンフィギャラブルプロセッサ(MeP: Media Embedded Processor)を用いた短 TAT HW/SW 協調設計、低電力 SiS(System-in-Silicon) DRAM 等を特徴としている。ISSCC2005 で発表された既存の H.264 エンコーダ(720p)[8] と比較して、面積や消費電力等において大幅な性能向上を達成している。(下表 b)



	1. W. Huang S Work (ISSCC 05)	Uurs	
Chip Feature	ASIC Encoder for HDTV720p	SoC Encoder for HDTV1080p	
Embedded Processor	—	32-bits Toshiba MeP	
Embedded DRAM	_	64Mb System-in-Silicon DRAM	
Technology			
ASIC	UMC 0.18um CMOS 1P6M	TSMC 0.18um CMOS 1P6M	
DRAM	-	0.11um Triple-Well TLM	
Core Size	7.68mm × 4.13mm (= 31.7 mm <sup>2</sup> )	5.44mm × 4.98mm (= 27.1 mm <sup>2</sup> )	
Logic Gates	922.8K gates	1140K gates	
On-Chip SRAM	34.72KB	108.3KB	
H.264/AVC Features			
Max Frame Size	1280 × 720	1920 × 1080	
Max Frame Rate	30 fps	30 fps	
Max Search Range	H: [-64, +63] V: [-32, +31]	H: [-96, +95] V: [-64, +63]	
Operation Frequency	108MHz	200MHz	
Power Consumption	785mw (ASIC only)	1409mw (ASIC with DRAM)	

........

(a) H.264 エンコーダ SoC (チップ写真)

(b) H.264 エンコーダ SoC の緒元

アピールしたい指標: 性能(高性能、小面積、低消費電力)、有用性、革新性(アルゴリズム・アーキテクチャに関する関連成果は ICASSP2006 等に、実装技術(含む DRAM)に関する関連成果は ISSCC2006 等に、SoC に関する関連成果は Symp. VLSI Circuits2007 等に採択されている)

1.41W フルハイビジョン用 H.264/AVC エンコーダ SOC

池永 剛1、劉 振宇1、宋 楊1、邵 明1、李 申1.2、李 凌峰1、石渡俊一2、中河正樹2、後藤 敏1

早稲田大学 大学院情報生産システム研究科
 <sup>2</sup>(株)東芝 セミコンダクター社

## 1. はじめに

動画像圧縮技術の歴史は長い[1]が、特に 1995 年の MPEG-2 の国際標準化を契機にして専用 LSI の研究開発が活発になり、様々な動画圧縮 LSI が 開発され、幅広いアプリケーションを生み出して きている。動画圧縮は、ビデオデータの蓄積や伝 送の効率化に欠かせない技術であり、ユビキタス (いつでも、どこでも)やアンビエント(安全、 安心、快適さ)情報化社会[2]においてもその重 要性は益々高まっていくと考えられる。具体的に は、携帯電話・ビデオカメラ等のモバイル機器や DVD レコーダ等の娯楽機器のみならず、TV 会議、 監視システム、医療システム、カーエレクトロニ クスに至る幅広い情報処理システムのコアとし て、大きな市場を形成していくと期待される。

図1に半導体分野において代表的な国際会議で ある ISSCC と Symposium on VLSI Circuits で発 表された論文[3]-[11]を例に取り、最先端の動画 像圧縮 LSI (エンコーダ及びコーデック)のトレ ンドを示す。



図 1:動画像圧縮 LSI のトレンド

本研究では、フルハイビジョン(HDTV1080p)画 像を実時間処理可能なH.264エンコーダSoCを実 現した[11]。H.264は、2003年にITU-Tによっ て策定された動画圧縮の規格であり、次世代の動 画像圧縮技術として注目を浴びている。H.264は、 MPEG-2と比較して、2倍以上の圧縮効率を達成可 能であるが、一方で10倍の演算処理量が必要と なっており、SoC化の大きな課題となっている。 H.264エンコーダの複雑かつHDTV動画像の膨大 なデータ処理を行うため、本SoCは、以下の3つ の特徴を有している。

- 3つの専用ハードウェアエンジン:整数画 素精度動き予測処理(IME: Integer Motion Estimation)、少数画素精度動き予測処理 (FME: Fraction Motion Estimation)、イ ントラモード予測処理(INTRA)[13]-[16]
- コンフィギャラブルプロセッサ (MeP: Media Embedded Processor)を用いた短TAT HW/SW 協調設計[12]
- 3) 低電力 SiS(System-in-Silicon) DRAM[17] およびそれに基づく SoC 実装

# 2. SoC アーキテクチャ

# 2.1. 全体アーキテクチャ

図2に提案する H. 264 エンコーダの全体アーキ テクチャ構成を示す。整数画素精度動き予測処理 (IME)、少数画素精度動き予測処理 (FME)、イン トラモード予測処理 (INTRA)の3つの専用ハー ドウェアエンジンに加え、全体制御および Deblocking filter(DB)、エントロピー符号化処 理を行うMePモジュールから構成されている。MeP は東芝によって開発されたコンフィギャラブル プロセッサベースのHW/SW協調設計プラットフォ ーム[12]であり、多くのメディア処理 SoC の開発 に用いられている。



図 2:H.264 エンコーダ SoC の全体構成

SoC 全体を3段パイプライン構成にすることに より、処理の高速化を図ると共に、ステージ間の 余分なメモリを削減している。第1ステージでは、 IME エンジンにより整数精度の動きベクトルを算 出すると共に、次のマクロブロック処理のために、 現マクロブロックと探索ウィンドウのバッファ を更新している。第2ステージでは、上記の IME エンジンから生成される動きベクトルを直接入 力とし、少数精度の動きベクトルを算出する FME エンジンと、RD(rate distortion)に基づくモー ド選択を行う INTRA エンジンが並列に動作する。 FME エンジンで算出された RD コストは、INTRA エ ンジンに渡され early termination の閾値として 用いられる。第3ステージでは、MeP モジュール により全体制御並びに Deblocking filter(DB)、 CAVLC が処理される。

各モジュールと DRAM 間の高速データ伝送を可 能とするため、200MHz 64 ビットの AHBA-AHB シス テムバスを実装している。また、DRAM と各モジ ュールに配置した内部 SRAM/レジスタ等の2段メ モリ構成をとることにより、余計なシステムバス トラフィックを抑えている。64M ビットの SiS DRAM[28]は、第1段メモリとして現フレームと参 照フレームの格納に用いており、DMA コントロー

ラと SiS DRAM I/F を介して、MeP モジュールによ り制御されている。現マクロブロックと探索ウィ ンドウ画素は、第1段メモリからシステムバスを 介して転送され、全ての関連モジュールで共有し て用いられる。



#### 2.2.IME アーキテクチャ

図3に、IME エンジンアーキテクチャを示す。

図 3: IME モジュールの構成

H.264 エンコーダにおいて整数画素精度動き予 測処理(IME)は全体の演算量のうち、極めて大き な割合を占めており、IME に基づく SRAM アクセス と RD コスト演算回路が特に大きな課題となって いる。この問題の解決のため、次の4つの手法を 採用している。

- 1) C+探索ウィンドウ: 従来の探索ウィンドウ と比較して探索ウィンドウ更新の際の SRAM アクセスを 44.5%削減している。
- 2) ジグザグ探索ウィンドウスキャンモード: 必要な参照フレーム画素は探索ウィンドウか ら取り出され 71×8 画素バッファに格納され る。SRAM からの全ての画素の読み出しは一度 でよく、5.11GB/sの高いバンド幅を実現して いる。
- 3) ローパスフィルタに基づくサブサンプリング [13]:一般に低周波数領域は重要な情報を有 しており、DCT や量子化プロセスにおいても

損なわれない。よって、低周波数領域対し4:1 のサブサンプリングを行っている。さらに差 分絶対値(AD)演算において10ビットのうち 上位8ビットを用いている。

4) 疎から密への適応的探索ウィンドウ: 偶数列、 偶数行を対象とした粗い探索結果を基に、密 な探索を行う範囲を適応的に調整している。

以上の組み合わせにより、PSNR ロスを最小限 (0.1dB)に押さえ、既存のエンコーダアーキテク チャ[8]と比較して内部メモリバンド幅と差分絶 対値演算を 81.3%、ADD/SUB 演算を 78% 削減して おり、ハードウェア量削減および低消費電力化を 達成している。

### 2.3.FME アーキテクチャ

図 4 に FME エンジンアーキテクチャを示す [14][16]。



図 4: FME モジュールの構成

並列処理の効果を最大限に生かし、かつ無駄な周 辺サブ画素の補間処理を削減するため、エンジン のカーネルに9個の PU(Processing unit)を用い ている。この PUは8×8のブロックモードにマッ チしており、4×4ベースの従来例と比較してスル ープットを倍増させている。また、処理フローの 最適化により90%のパイプライン遅延を削減して いる。さらに、以下の2段階の計算再利用を行っ ている。

- 1) 画素再利用:あるブロックモード処理において、補間された半画素データをキャッシュし、 1/4 画素探索に再利用する。
- 2) SATD 再利用:FME エンジンが別のブロックモ ードを処理する際、前のブロックの SATD 結果 を後のブロックでの再利用を可能としている。 異なったブロックモードの動きベクトルには 強い相関があり、本手法により多くの処理削 減を可能にしている。

以上の手法により、従来例[8]と比較し 65%の画 素生成と SATD 計算を削減している。

#### 2.4.MeP モジュール

図5にMePモジュールの構成を示す。



図 5: MeP モジュールの構成

MeP モジュールは、ベースの RISC コアに加え、 画像認識プロセッサ IVC(Integrated Vehicle Computing)[12]、UCI と CAVLC ハードウェア拡張 の3つのカスタム拡張モジュールを搭載してい る。IVC は VLIW タイプのエクステンションであり、 DB 処理、全体制御および DMA コントローラの処理 を担っており、2 段パイプライン構成により、処 理 効 率 を 3 倍 に 向 上 さ せ て い る。 UCI (User-customized Instruction)は一サイクル の拡張命令であり、やはり DB 処理の効率化のた めに加えている。CAVLC は、システムレベルから の柔軟性と細かい制御を要求される非常に複雑 な処理を行う必要性がある一方でビットレベル のオペレーションを必要とする。よって、MeP コ アを用いたソフト処理で実行される Exp-Golomb コーディング等の制御部を含むハードウェアエ ンジンとして実現している。

MeP を用いた HW/SW 協調設計環境を活用するこ とにより、H. 264 エンコーダの全体制御を含む複 雑な処理の SoC 設計を極めて短期間(4~5ヶ月) で達成している。

## 2.5.SiS DRAM

HDTVの膨大なデータ、特に現画像・参照画像格 納用のメモリとしては大きなバンド幅を持つ DRAMを用いることが不可欠である。本 SoCでは、 SiS(System-in-Silicon) DRAM[17]を用いること により 11.5Gbps という大きなメモリバンド幅を 190mW の少ない消費電力で実現している。SiS DRAM は、ASIC とは異なるプロセス(0.11 $\mu$ m) で実現されており、シリコンインターポーザ (SiIP)に50 $\mu$ mピッチのマイクロバンプを介して 両者を結合することにより DRAMを含む SoC を安 価かつ低電力に実現可能している。図 6 に SiS DRAM と ASIC の接続構成を示す。



☑ 6 : SiS (System-in-Silicon) DRAM

# 3. 評価

図 7 に開発した SoC と評価用ソフトである JM8.1a (フルサーチ、5参照フレーム) との画質 比較結果を示す。図に示すように、ほとんど画質 を落とすことなく(0.1dB 以下)、前述のように演 算量とメモリアクセスを大幅に削減可能にして いる。

また、表1にH.264エンコーダ SoC の仕様、図 8にASICチップ(SiS DRAMを除く)の写真を示す。 ASIC は、TSMCO.18µm CMOS (ライブラリ:ARM Artisan Sage-X)技術を用い、VCS、Design Compiler、 Astro、Hercules などの Synopsys ツールを用いて 設計した。提案アーキテクチャに基づき、試作評 価を行った結果、1.14M ゲートと 108.3KB SRAM を 5.44 mm×4.98 mm のコアエリアに実装可能であ ることを確認した。また、DRAM を含む SoC 全体 の消費電力は、1.8V/200MHz で 1.409W を達成し ている。過去、HDTV720p 用の H.264 エンコーダ LSI が発表[8]されているが、本 SoC は、より大 きな画像サイズ(720p→1080p)を小さなコア (31.7mm<sup>2</sup>→27.1mm<sup>2</sup>)で実現している。また電力に 関しても、同じスペックを仮定すると2倍以上の 低消費電力化を達成している。



図 7: 画質評価結果

#### 表 1:H.264 エンコーダ SoC の仕様

SoC Feature	H.264/AVC HDTV1080p Encoder		
Technology	ASIC	TSMC 0.18um CMOS 1P6M (ARM's Artisan SAGE-X)	
	SIS DRAM	0.11um Triple-Well TLM	
Core Size	5.44mm × 4.98mm (= 27.1 mm <sup>2</sup> )		
Logic Gates	1140K gates		
SRAM	108.3KB		
H.264/AVC Features	Profile	Baseline	
	Max Frame	1920×1080@30fps	
	Frame Number	1	
	Search Range	H: [-96, +95] V: [-64, +63]	
	Block Mode	16×16, 16×8, 8×16, 8×8	
Operating Frequency	ASIC 200MHz, SIS DRAM 25MHz		
Power Consumption	1.41W	(ASIC: 1219mw, SiS DRAM: 190mw)	



図 8:チップ写真

# 4. おわりに

本研究では、フルハイビジョン(HDTV1080p)画 像を実時間処理可能なH.264エンコーダSoCを実 現した。提案するエンコーダSoCは、3つの専用 エンジン(整数画素精度動き予測処理、少数画素 精度動き予測処理、イントラモード予測処理)、 コンフィギャラブルプロセッサ(MeP)を用いた 短 TAT HW/SW 協調設計、低電力 SiS (System-in-Silicon) DRAM等を特徴としている。

TSMC0.18µm CMOS を用いた試作評価の結果、消 費電力は H.264 エンコーダ 1080P@30fps 処理に 1409mW、チップ面積(コアサイズ)は 27.1mm<sup>2</sup>と なり、従来提案されている H.264 エンコーダ LSI[8]を大きく上回る性能を達成した。

今後は、今回の試作で得られた結果を発展させ、 製品チップへの展開を図っていきたいと考えて いる。また、種々のアルゴリズム・アーキテクチ ャの改良に加えて、DVFS 等の回路技術の適用によ り、SoC のさらなる低消費電力化を図っていく予 定である。

## 文 献

- T. Koga, et al., "Motion-compensated Interfram e Coding for Video Conferencing," Proc. Natio nal Telecommunication Conf., Nov. 1981.
- [2] グローバル COE プログラム:アンビエント So C 教育研究の国際拠点、<u>http://www.cs.waseda.ac.</u> jp/gcoe/
- [3] 池永 剛, "ユビキタス・アンビエント情報化社 会に向けた動画像圧縮 LSI", 電子情報通信学会 信号処理研究会, Oct. 2007 (招待講演)

- [4] Takeshi Ikenaga, "Video Compression LSI: Past, Present, and Future Trends", The 7th Internati onal Conference on ASIC (ASICON2007), Oct. 2007 (基調講演)
- [5] T-C Chen, et al., "2.8 to 67.2mW Low-Power and Power-Aware H.264 Encoder for Mobile A pplications," Symposium on VLSI Circuits 200 7 Dig. Tech. Papers, pp. 222-223, June 2007.
- [6] H-C. Chang, et al., "A 7-to-183mW Dynamic Q uality-Scalable H.264 Video Encoder Chip," IS SCC 2007 Dig. Tech. Papers, Feb. 2007.
- [7] C-P. Lin, et al., "A 5mW MPEG4 SP Encoder with 2D Bandwidth-Sharing Motion Estimation for Mobile Applications," ISSCC 2006 Dig. Te ch. Papers, Feb. 2006.
- [8] Y-W. Huang, et al., "A 1.3TOPS H.264/AVC si ngle chip encoder for HDTV applications," ISS CC 2005 Dig. Tech. Papers, Feb. 2005.
- H. Yamauchi, et al., "An 81MHz 1280x720Pixe lsx30f/s MPEG-4 Video/Audio CODEC Processo r," ISSCC 2005 Dig. Tech. Papers, Feb. 2005.
- [10] T. Fujiyoshi, et al., "An H.264/MPEG-4 Audi o/Visual CODEC LSI with Module-Wise Dynam ic Voltage/Frequency Scaling," ISSCC 2005 Dig. Tech. Papers, Feb. 2005.
- [11] Z. Liu, Y. Song, M. Shao, S. Li, L. Li, S. Is hiwata, M. Nakagawa, S. Goto, T. Ikenaga, "A 1.41W H.264/AVC Real-Time Encoder SOC fo r HDTV1080P", Symposium on VLSI Circuits 2007 Dig. Tech. Papers, pp. 12-13, June 2007.
- [12] J. Tanabe, et al., "Visconti: multi-VLIW imag e recognition processor based on configurable processor", Proc. CICC, pp.185-188, Sept., 200 3.
- [13] Z. Y. Liu, Y. Song, T. Ikenaga, S. Goto, "Lo w-Pass filter based VLSI oriented variable bloc k size motion estimation algorithm for H.264", Proc. ICASSP, vol.2, pp.253-256, May 2006.
- [14] M. Shao, Z. Liu, S. Goto, T. Ikenaga, "Lossl ess VLSI Oriented Full Computation Reusing Algorithm for H.264/AVC Fractional Motion Es timation", IEICE Trans. Fundamentals, Vol. E90 -A, No. 4, pp. 756-763, Apr. 2007.
- [15] Z. Liu, Y. Song, M. Shao, S. Li, L. Li, S. G oto, T. Ikenaga, "32-Parallel SAD Tree Hardwi red Engine for Variable Block Size Motion Est imation in HDTV1080p Real-Time Encoding A pplication", IEEE Workshop on Signal Processi ng Systems (SiPS 2007), Oct. 2007.
- [16] Y. Song, M. Shao, Z. Liu, S. Li, L. Li, T. Ik enaga, S. Goto, "H.264/AVC Fractional Motion Estimation Engine with Computation Reusing in HDTV1080p Real-Time Encoding Applicatio ns", IEEE Workshop on Signal Processing Syst ems (SiPS 2007), Oct. 2007.
- [17] K. Kumagai, C. Yang, H. Izumino, N. Narita, K. Shinjo, S-I. Iwashita, Y. Nakaoka, T. Kaw amura, H. Komabashiri, T. Minato, A. Ambo, T. Suzuki, Z. Liu, Y. Song, S. Goto, T. Ikenag a, Y. Mabuchi, K. Yoshida, "System-in-Silicon Architecture and its Application to an H.264/A VC Motion Estimate for 1080HDTV," ISSCC D ig. Tech. Papers, pp. 430-431, Feb. 2006.